

# システムダイナミクスによる DRAM 市場における 周期的変動の考察 ～モデル構築と基本メカニズム～

## Fundamental Consideration for Cyclical Behavior of DRAM Market with System Dynamics Model: Market Model and Dynamics

小川 貴史 (Takashi Ogawa)

筑波大学大学院 ビジネス科学研究科 博士課程

ogawa@gssm.otsuka.tsukuba.ac.jp

**Abstract :** Cyclical behavior of DRAM (Dynamic Random Access Memory) market has been well-known as a main cause of so-called “Silicon Cycle”. However, the quantitative understanding of dynamics has not been studied enough and the unpredictable market behavior remains an industrial issue to be understood in electronics industry. As a new approach to address the issue with system dynamics method, the general market model for DRAM market, which contains specific model-functions for yield improvement in DRAM production and price decline with learning-curve effect, was constructed on a base of Commodity Production Model by Meadows and Sterman. In this study, the simulation results of DRAM market by “Single Generation Market Model” and historical market data were compared and evaluated to consider the behavior of supply and demand gap, which is driven by several delay effects, and price variation in the market. Furthermore, the simulation result by “Multi Generation Market Model”, which deals with seven generations of DRAM market, successfully reproduced an approximate cyclical behavior which has been observed in the market. The result showed a potential that “Multi Generation Market Model” with further detail dynamics for the generation shift could approach to an understanding for mechanism and behavior of cyclicity in DRAM market.

キーワード : Silicon cycle, Commodity cycle, Supply and Demand, Semiconductors, Electronics

**要旨 :** DRAM (Dynamic Random Access Memory) 市場における周期的変動は「シリコンサイクル」の主因として古くから知られているが、未だに、そのメカニズムの定量的理解が不十分であり、未解決の産業課題となっている。今回、システムダイナミクス (System Dynamics: 以下 SD と略す) によるメカニズム理解への新たなアプローチとして、Meadows, Sterman らにより提唱されている Commodity Production Model をベースに、DRAM 市場特有の学習曲線効果による歩留まり向上及び価格下降をモデル化した DRAM 市場モデルの構築を行った。本研究では、単一世代の DRAM 市場モデルを用いたシミュレーションを行い、実績データとの比較から、遅延効果により生じる需給ギャップの挙動及び価格変動の考察を行った。さらに、この考察に基づき、7 世代の DRAM 市場を同時に取り扱った多世代市場モデルにより DRAM 市場のシミュレーションを行ったところ、シミュレーション結果は、過去に観測された市場の周期的変動を近似的に再現し、多世代市場モデルにさらに詳細な世代シフトのダイナミクスを織り込むことにより、周期的変動のメカニズム及び挙動の理解にアプローチできる可能性を示した。

### 1. はじめに

#### 1. 1 研究背景及び課題

半導体産業は、70 年代から目覚ましい発展をとげ、今や重要な基幹産業となっており、2008 年の世界半導体市場は 2550 億ドルに達している。こうした半導体市場の発展過程においては、市場の山及び谷を周期的に繰り返す、いわゆる“シリコンサイクル”と呼ばれる現象が古くから知られている。半導体産業は、過去 20 年以上にのぼり、サイクルによる好不況を繰り返している。需要のピーク時には生産能力の不足による供給逼迫が顕在化する一方、需要のボトム時には、大幅な生産過剰に陥り、工場閉鎖や大幅な人員削減などのリストラ策を迫られてき

た。このため、このサイクルにいかに対応し生産を行うかが、未だに伝統的な経営課題となっている。こうしたサイクルの発生原因は、過剰投資による需給バランスの崩れによるものが古くから指摘されているが、必要に応じて市況分析が報告されているのみで、そのメカニズムに関する定量的理解は十分には得られておらず、先行研究は極めて少ない。過去のトレンド分析では、サイクル周期はおおよそ4年であることから、オリンピックや米国大統領選などの特需に関連があるとも指摘されているが[1]、近年では、半導体需要がデジタル民生電子機器へ多様化しているのに加え、産業の成熟化とともに半導体企業の寡占化が進んでいることから、そのサイクル挙動は薄れつつあるとの指摘もなされており、本質的な理解が不足しているが故に未だ効果的な経営指針を定めることができない現状にある。

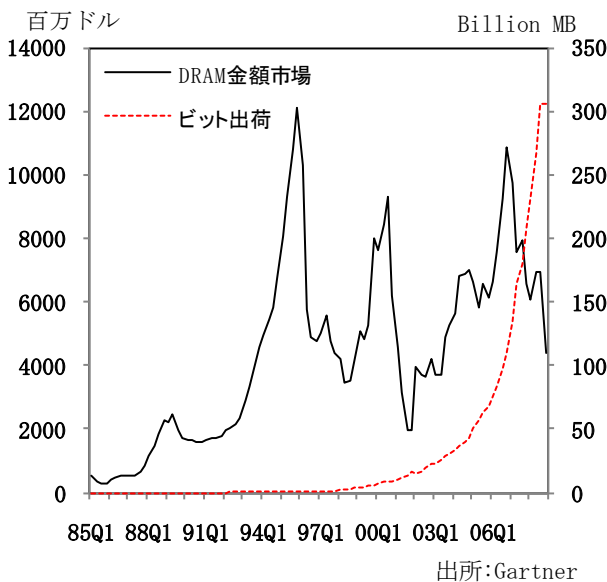


図 1 DRAM 市場の推移

れ上がり、現状では数千億円規模の投資が必要とされており、その投資リスクは益々、増大している。2009年では、2008年後半に再び顕在化してきた過剰供給に加え、“リーマンショック”に端を発した世界的経済危機に見舞われ、メモリー産業では、数社のベンダーが倒産したのに加え、存続した企業に対しても公的資金の投入が議論されたことは記憶に新しい。現状、DRAM企業の寡占化やデジタル民生機器市場の拡大による需要の多様化などから、従来の周期性は薄れるとも憶測される一方、そのメカニズムの定量的理解が欠如していることから、その将来動向について、信頼をもった見解を題することが困難な状況にある。このようなことから、DRAM市場の周期的変動に対する理解及び考察の意義は大きく、未だ産業課題として存在している。

## 1. 2 本研究の目的

以上のような産業課題解決に対する一歩として、本研究では、SDにより、DRAM市場の周期的変動の基本メカニズムを検討することを目的として、市場モデルを構築し、観測された市場データとシミュレーション結果との比較及び考察を行う。本論で取り上げる具体的な研究内容は以下のものである。

1. Meadows[3], Sterman[1]らにより、提唱されている Commodity Production Model をベースに DRAM 市場のモデルを初めて構築する。この際、モデルの緻密さよりも、周期変動に起因していると考察される過程のみを考慮する。また、構築する市場モデルは、DRAM 市場の特性を包含し、モデルの新規性として以下の特徴を備えている。
  - ロジスティック成長モデルの導入により、出荷データから世代別 DRAM 需要を推定することで、需要の世代シフトの推移を SD モデルとして実現する。
  - DRAM 生産に特徴的な学習曲線効果を SD モデルに取り入れ、歩留まり向上及びコスト低減による価格下落の効果をモデル上で再現する。

2. 過去 23 年間に観測された市場データと構築されたモデルによるシミュレーション結果との比較を行い、さまざまな遅延効果により生じる需給ギャップの挙動及び価格変動への影響の考察を行う。
3. 世代シフトを伴う需要推移に対して、2の結果を考慮した多世代モデルによるシミュレーションにより、過去に観測されている DRAM 市場の周期的挙動が再現されるかの検証を行い、周期的挙動のメカニズム及び挙動の理解に対して、将来における多世代市場モデルの適用可能性を示す。

## 2. 先行研究

### 2. 1 産業サイクル一般に関する先行研究

はじめに、本研究に関する先行研究について述べる。周期的変動を伴う市場推移は、半導体産業以外の産業においても古くから観測されており、研究が行われている。研究されている産業サイクルの多くは、総じて、コモディティサイクルとして取り扱われている。大規模な生産設備等が必要とされる産業においては、プロダクトの需要増加に対し、供給能力を増加させ、需給バランスを均衡させる過程において、供給能力の増強に一定の遅延が生じるため、需給バランスの均衡がとれず、需要及び価格に周期性(コモディティサイクル)が生じると説明される。この際、需要は経済サイクルの影響を受けるが、コモディティサイクルは、各産業の構造や特徴等に影響されるため、必ずしも経済サイクルとは一致しない[5]。

コモディティサイクルは、亜鉛、銅などのメタル市況[6]をはじめとして、畜産市場では、養豚[7]、畜牛[8]、養鶏[9]、養卵[10]、さらに農作市場では、檸檬[11]においても認知されている。また、そのサイクル現象は、それぞれ、Hog Cycle, Cattle Cycle, Chicken Cycle, Egg Cycle, Lemon Cycle と呼ばれている。

コモディティサイクルの主な研究アプローチ方法としては、1)ミクロ経済理論によるアプローチ(くもの巣理論) 2)SDによるアプローチが知られている。Hog Cycle, Cattle Cycle, Chicken Cycle など、農業分野における産業サイクルの初期の研究では、くもの巣理論[12]によるアプローチが試みられたが、1)実際の市場におけるストック/フロー構造が取り入れられていない。(在庫、仕掛品、生産キャパシティ等) 2)時間的に離散なモデルである。3)変化に対する時間的なインターバル(反応の遅れ)の効果が取り入れられていない等の欠点が問題となった。Meadows は、くもの巣モデルでは取り入れることの難しかったこれらの因子を含むモデルをSDにより構築し、Dynamic Commodity Cycle Model として提唱した[3]。

また、工業分野では、製紙[13]、化学製品[14]、石油[15]の市場のサイクルについても研究対象として取り上げられており、90年後半では、テクノロジーベースのコモディティ市場に対しても、研究アプローチがなされてきている。テクノロジーベースのコモディティ市場の先行研究としては、オイルタンカー市場[16]、航空市場[17]やテレコム市場のダイナミクス[18]が報告されている。製造産業以外のコモディティ市場の研究では、不動産需要の周期性をコモディティサイクルとして分析した研究例がある[19]。さらに、Meadows 以来、コモディティサイクルのモデルの一般化も、Henry[20]、Sterman[4]によって、新たに提唱されている。

### 2. 2 半導体産業サイクルに関する先行研究

コモディティサイクルに関する研究は比較的古くから行われている一方、半導体産業サイクルを直接の研究題材とした事例は少ない。特に学術雑誌に発表された研究例は稀少であり、大部分が、調査機関の報告書や学位論文に限られている。サイクル挙動のメカニズムに関する先行研究は、サイクル挙動の定性的考察及びサイクルパターンの分析に関するものが知られている。

1980年代中盤から1990年代では、DRAM産業が台頭し、DRAM市場のサイクル挙動が初めて顕在化したことから、そのメカニズムに関する定性的考察が行われている。長島[21]はDRAMの世代交代を伴う需要推移及び価格低下の動きから、世代交代を前にした新製品の供給不足と世代交代を境にした製品価格の急落がシリコンサイクルを招くと説明している。また、岡田[22]は、累積生産量と学習曲線による価格低下の経験則から、DRAM世代交代時に、半導体の生産額には、“半導体の波”と呼ばれる波形が生じることを考察している。

これらの研究はいずれもサイクル現象の考察に留まっているが、サイクル現象のメカニズムの理解にアプローチした唯一の先行研究として、SDの手法を用いたVanBree[23]による先行研究がある。同氏はSDにより半導体生産における生産能力、テクノロジー、価格、財務・コストの相関及びダイナミズムをモデル化し、過去の半導体市場の挙動パターンを分析し、その影響因子について検討している。

1. 1で示した課題に対する研究の視点としては、1)サイクルの実証分析及び2)サイクル要因の特定と影響度の評価が考えられるが、いままでの先行研究では、1)の研究課題への部分的なアプローチに留まっている。長

島, 岡田は DRAM 市場に着目し、サイクル挙動の考察を行っているが、いずれも定性的な考察に留まっており、また、実際のビジネス状況に関連づけた考察は行っていない。VanBree は、SD モデルにより、サイクル挙動の定量的評価を試みているが、半導体市場の一般的なモデルを対象としており、DRAM 市場に特化したものではない。また、挙動の再現に至っておらず、サイクル要因の影響因子に言及しているが、その影響度については、評価は行っていない。

本研究では、“シリコンサイクル”の主要因と考えられる DRAM 市場の周期的変動に着目し、従来の先行研究では得られていなかった、その基本メカニズムに対して新たな知見を得ようとするものである。

### 3. モデル構築

#### 3. 1 DRAM 市場モデルの基本構造

以上の先行研究を踏まえ、本研究では半導体サイクルの主因となる DRAM 市場に焦点を当て、SD モデルを構築する。その折、モデル構築の目的及び指針は以下のようである。

1. モデル対象は、実績データを参照し実際の DRAM 世界市場を対象とする。ただし、市場のサイクル挙動のメカニズムを考察することを目的とし、挙動に関連すると考えられる骨格のみをモデル要素として包含する。このため、必ずしも緻密な市場描写を目的としない。
2. モデル要素としては、Sterman らにより、提唱されている Commodity production model をベースとする。
3. DRAM 市場に関する先行研究や過去の市場考察から得られている産業知見（過去の経験）を、SD モデルとして取り入れる。

図2に構築するモデルの基本構造を示す。モデルは、DRAM のテクノロジー世代(DRAM 1 から DRAM7)ごとに、需要セクター、生産セクター、キャパシティセクター及び価格・出荷セクターから構成されており、各世代において算出された結果は合算され、実績データと比較検討される。以下に、モデルの各セクターの主要な要素及びその関係を示す。

- A) **需要セクター**：ロジスティック成長モデルに基づき、世代ごとにビット需要を生成させる。同時に、必要とされる生産キャパシティ需要を算定する。
- B) **生産セクター**：生成されたビット需要に従い、生産工程のモデルを担う。
- C) **キャパシティセクター**：生産セクターとリンクし、実際に必要とされる生産キャパシティ増設の動きを担う。
- D) **価格・出荷セクター**：生産セクター及びキャパシティセクターとリンクし、累積生産量から単価の推移の算定を行なう。また、シミュレーションされたビット出荷から金額市場の推移の算定を行なう。

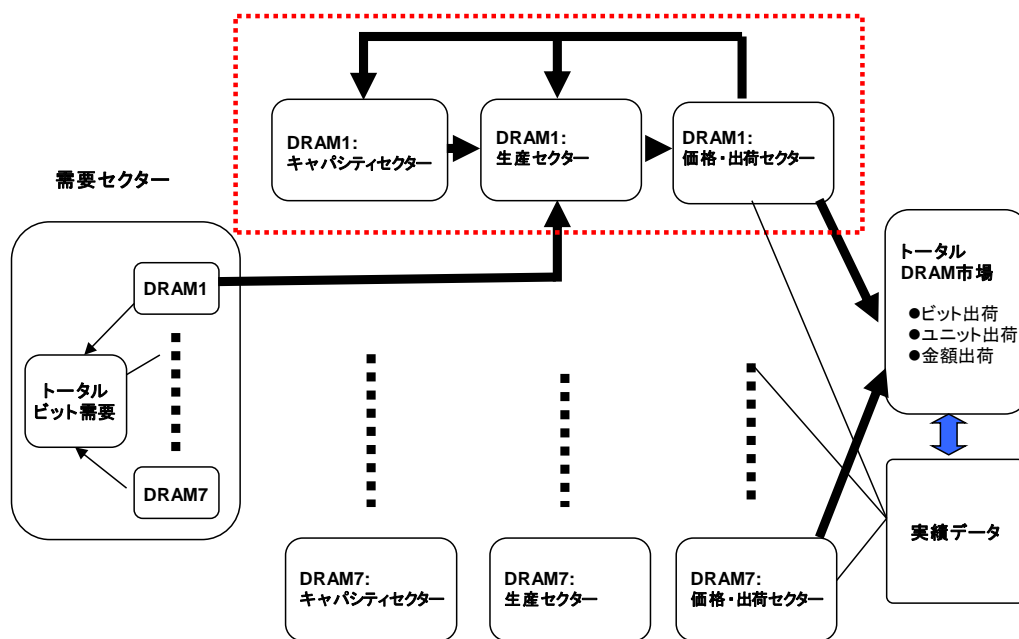


図 2 DRAM 市場モデルの基本構造

### 3. 2 需要セクター

DRAM 市場の大きな特徴として、周期的なテクノロジー進化を伴った需要成長が挙げられる。図 1 に示したように、メモリーのビット需要は PC をはじめとする電子機器需要の増加と共に、指数関数的増加を維持している。

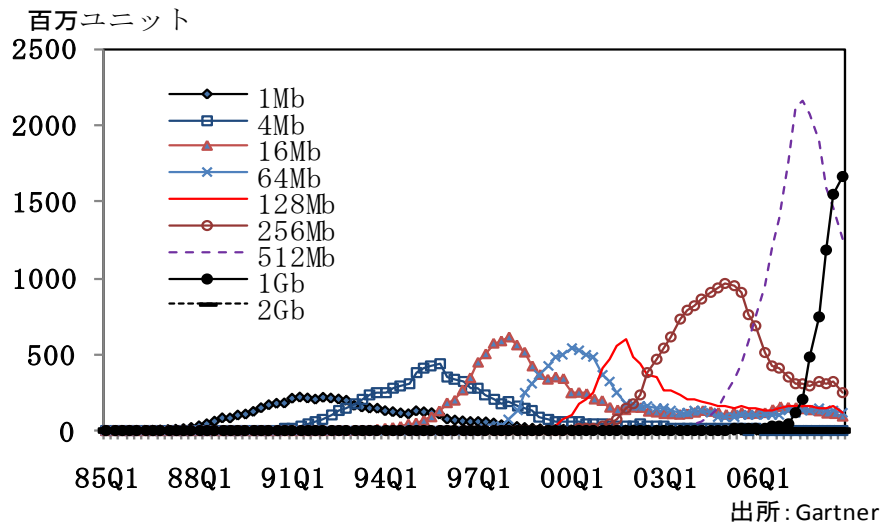


図 3 DRAM ユニット出荷の推移

一方、こうしたビット需要は周期的なテクノロジーシフトを伴っており、いわゆるムーアの法則に従い、チップ当りのビット密度は周期的に増加し、チップ需要のテクノロジーシフトが起こる。図 3 に世代別の DRAM ユニット出荷推移の実績データを示すが、チップ当りのビット密度は、64Mb 世代までは 4 倍で増加し、それ以降は 2 倍で増加して、周期的なシフトを繰り返している。

農作市場のような多くのコモディティサイクルでは、単一の物量的な需要そのものが、周期的変動を示す事例が多い。本研究で対象とする DRAM 市場は、この点において、従来、研究対象とされたコモディティ市場とは大きく異なっており、この需要のダイナミクスをモデルとして考慮する必要がある。

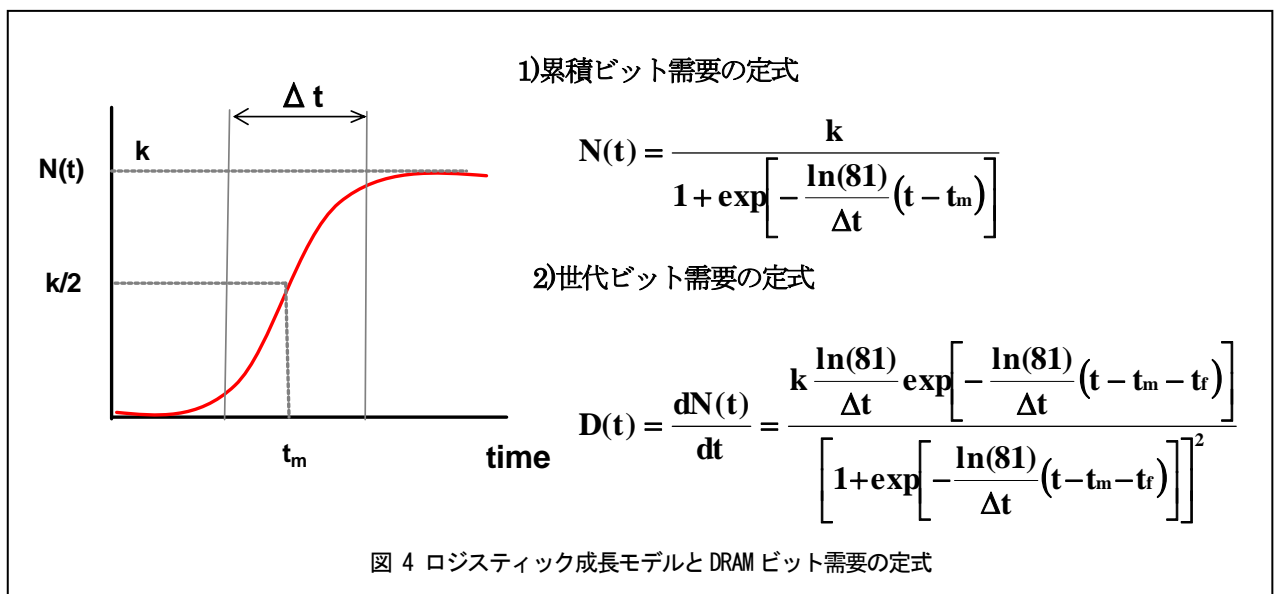


図 4 ロジスティック成長モデルと DRAM ビット需要の定式

DRAM 市場における世代シフトに関しては、いくつかの先行研究が知られている。Mahajan ら [24] は、拡散モデルにより、市場における次世代製品の浸透を考察しており、Victor ら [25] は、各世代のメモリーの累積ビット出荷がロジスティック成長モデルに従うことから、非線形回帰分析により、世代交代の考察を行なっている。本研究では、モデル化が比較的容易なことから、実際の市場データを用いて、ロジスティック成長モデルにより、各世代の DRAM 需要の推定を行なった。

Meyer ら [26]、によるロジスティック成長モデルに従えば、時刻  $t$  における DRAM の累積ビット需要  $N(t)$  は、図

4のようなS字カーブを描き、その定式は図中の1)式で表すことができる。ここで、 $k$ は需要のピークレベル、 $\Delta t$ は $k$ が10%レベルから90%レベルへ達するまでの期間、 $t_m$ は、 $k/2$ に達する時間を示している。また、 $\ln(81)$ は自然対数で表された定数を表している。この定式を用いれば、各世代のDRAMの累積ビット出荷データを回帰することにより、世代ごとに各パラメーターを推定できる。さらに、累積ビット需要の定式を時間 $t$ に関して微分すれば、2)式で示すように世代毎に、世代ビット需要を推定できる。このようにして算出されるプロファイルを、SDモデルのDRAM需要推移のベースとした。また、多世代モデルによりDRAM市場の周期的挙動の最適化シミュレーションを行う際には、需要推移と出荷実績データの時間差を最適化するために、パラメーター $t_f$ を導入している。

### 3.3 生産セクター

3.2で推定された世代ごとのビット需要推移はチップ面積需要に変換され、生産工程を担う生産セクターへインプットされる。DRAM生産では、性能及び生産効率の向上(ウェハあたりのチップ数の増加)を目的として、生産時系列とともに、微細化技術によるチップシュリンクが行なわれている。モデルでは、面積需要への変換に際して、このチップサイズの減少推移を考慮している。図5は生産セクターモデルの因果ループ構造を示している。生産セクターは、DRAM受注(フロー)→DRAM受注Backlog(ストック)→生産(フロー)→DRAM生産(ストック)→生産管理(フロー)の工程を骨格としている。また、生産管理ではDRAM生産から算出されたDRAM生産量に累積生産量から求められる歩留まりを掛け合わせ、実効的な出荷量を算出している。同セクターは以下のループ構造を有している。

- B1: DRAM受注、期待生産量、実行生産稼働率、生産、DRAM受注へ至るネガティブループ
- B2: DRAM受注、期待生産量、キャパシティ、生産、DRAM受注へ至るネガティブループ
- B3: DRAM受注、Backlog補正、必要キャパシティ、キャパシティ、生産、DRAM受注へ至るネガティブループ
- R1: 生産、生産管理、DRAMウェハ出荷、必要キャパシティ、キャパシティ、生産へ至るポジティブループ
- R2: 生産管理、生産ユニット増加、累積生産ユニット、歩留まり、生産管理へ至るポジティブループ

特に、R2は生産技術の習熟により、累積生産に対して指数関数的に歩留まりが向上するというDRAM市場の特徴の一つを反映しており、累積生産量に対してS字曲線による歩留まり推移を仮定している。また、遅延効果としては、受注遅延(平滑化遅延)、生産遅延(3次の遅延)及び出荷遅延(3次の遅延)が導入されている。

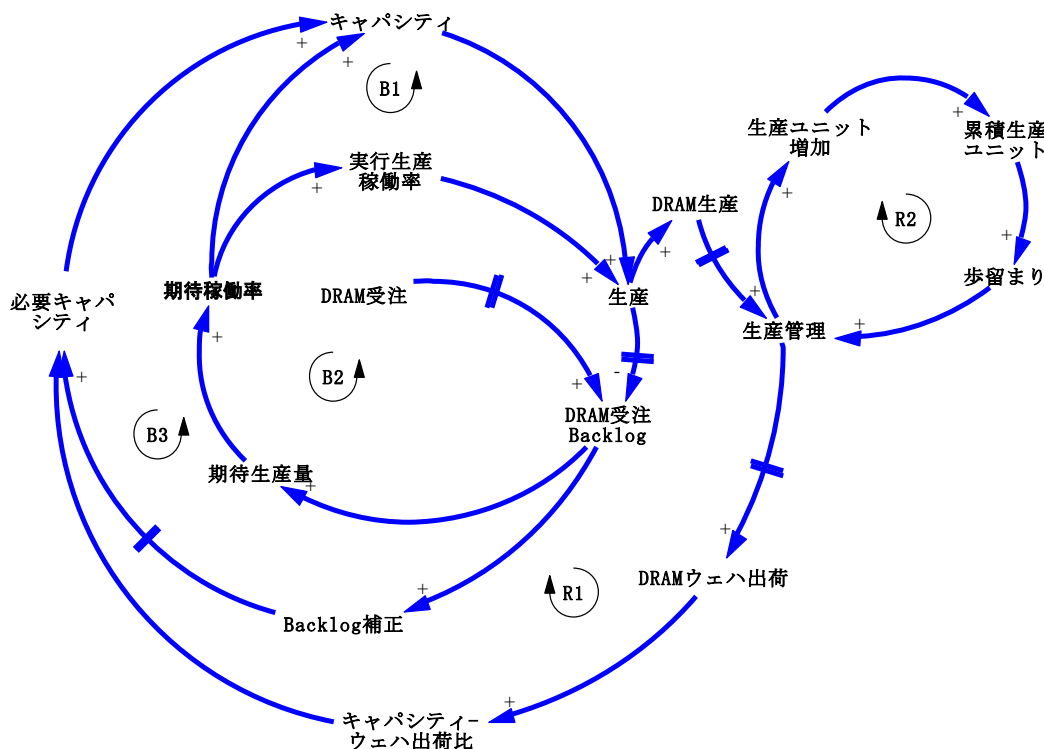


図5 生産セクターモデルの因果ループ構造

### 3. 4 キャパシティセクター

DRAM 産業は周期的なテクノロジーシフトを伴う需要隆起に応じて、巨額な設備投資を必要とする設備産業として知られており、キャパシティセクターでは、DRAM 需要に対応した生産キャパシティの動きがモデル化されている。生産キャパシティは、DRAM の生産能力を表し、ウェハ面積換算量(平方インチ)で表わされる。キャパシティセクターは、キャパシティオーダー(フロー)→キャパシティ在庫(ストック)→キャパシティ増加(フロー)→キャパシティ(ストック)→キャパシティ償却(フロー)の工程を骨格としている。また、同セクターには、図5の生産セクターからリンクし、生産から期待稼働率または必要キャパシティを介する3つのネガティブループ (B1 から B3) 、生産からウェハ出荷、必要キャパシティを介するポジティブループ(R1)がある。

図6はキャパシティセクターにおける因果ループ構造を示しているが、同セクターでは、R4 から R7 の4つのポジティブループ、B4のネガティブループが介在している。B4は、図5のR1とは逆に、キャパシティ増加により、必要キャパシティが減少する効果を示している。一方、R4は、現在のキャパシティ在庫と期待在庫の補正からなるループであり、R5はキャパシティ償却の補填によるループである。また、キャパシティの変化は、リファレンスキャパシティ及び補正期待キャパシティを通じて、期待キャパシティに影響を与える(R6及びR7)。ここでリファレンスキャパシティとは、前期のキャパシティからの外挿による予測値であり、期待キャパシティは、これにキャパシティ増強に対する期待を表す係数(リファレンスキャパシティ因子)を乗じて、推定される。さらに、キャパシティ増加、期待キャパシティ在庫、補正期待キャパシティは、キャパシティ増加遅延(3次の遅延)、期待キャパシティ在庫時間(1次の遅延)、補正期待キャパシティ時間(1次の遅延)として遅延効果を含んでいる。

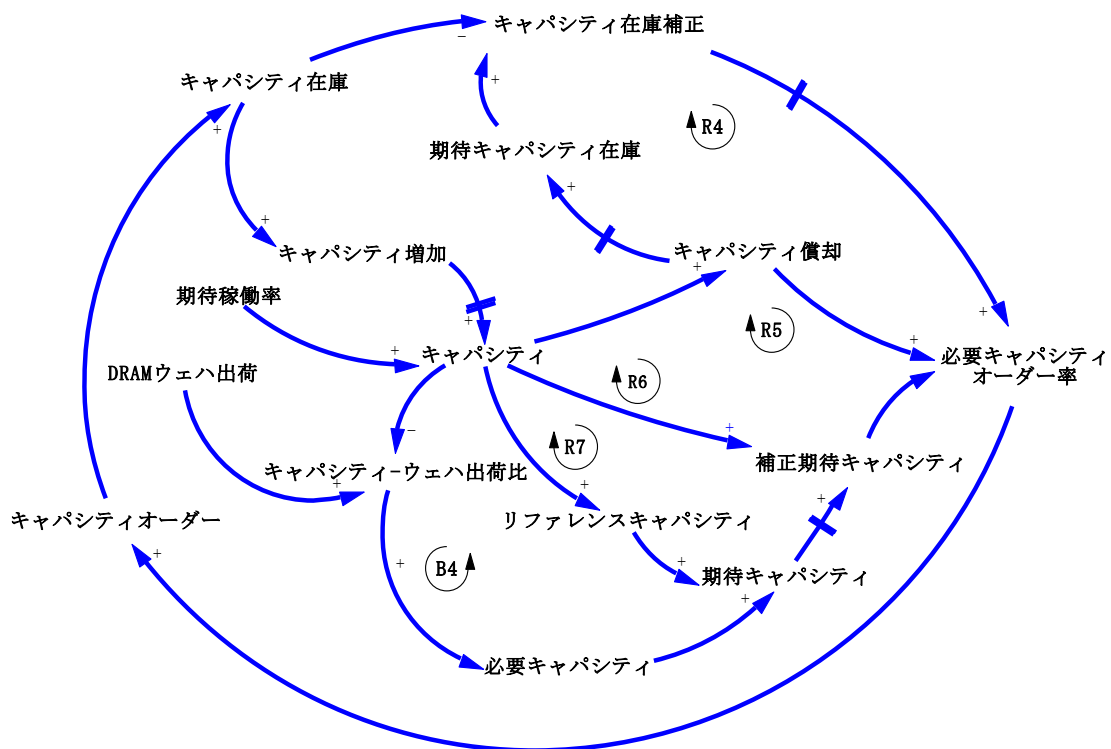


図6 キャパシティセクターモデルの因果ループ構造

### 3. 5 価格・出荷セクター

価格・出荷セクターでは、生産セクターで算出されたユニット市場出荷に、ユニット実効価格を掛け合わせて、出荷金額が算出される。図7は、算出されるDRAM出荷金額の因果ツリーを示している。ユニット実効価格は、生産セクターで算出された累積生産量を用い、実際の市場データから得られた累積生産量に対する学習曲線によるコスト低下の経験則(学習曲線効果)により、価格下降を再現している。さらに、シミュレーションでは、キャパシティ需給ギャップの効果も取り入れ、その実行価格及び出荷金額への影響も検討している。

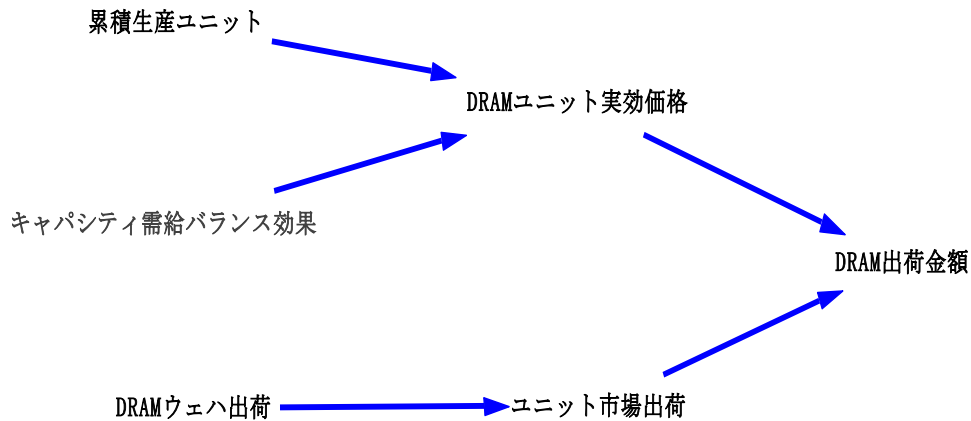


図 7 価格・出荷セクターの因果ツリー構造

#### 4. シミュレーション結果及び考察

##### 4. 1 モデル期間及びパラメーターの推定

表 1 DRAM 需要モデルのパラメーター

	k(百万 MB)	$t_m$ (四半期)	$\Delta t$ (四半期)
1Mb	6.39E+02	30.6	26.5
4Mb	3.98E+03	43.9	23.4
16Mb	2.19E+04	57.4	28.0
64Mb	6.59E+04	64.2	21.9
128Mb	1.26E+05	71.7	21.2
256Mb	4.98E+05	80.0	17.2
512Mb	1.52E+06	90.8	12.3

はじめに、DRAM 市場モデルに導入されるビット需要推移を推定する。モデル期間は、1985 年第 1 四半期から 2008 年第 4 四半期とし、1Mb, 4Mb, 16Mb, 64Mb, 128Mb, 256Mb, 512Mb の 7 世代の DRAM 需要をモデル対象とした。また、本研究で用いられた実績データは、過去の DRAM に関する先行研究[25][27][28]でも用いられている米国調査会社 Gartner 社(旧 Dataquest 社)のデータを参照している。ビット需要推移の具体的な推定は、図 2 で示した実績データから、累積ビット数を非線形回帰分析により、3. 2 で示したロジスティック成長モデルの各パラメーター(k,  $\Delta t$ ,  $t_m$ )を決定することで得られる。

このとき、算出された各パラメーターを表 1 に、また、求められた各世代の DRAM のモデル期間におけるビット需要推移を図 8a 及び 8b に示す。ただし、1985 第 1 四半期を時間軸の原点としてある。

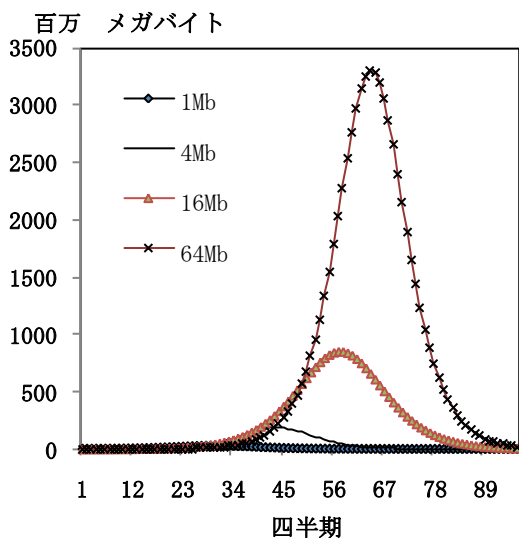


図 8a 推定された DRAM ビット需要の推移(1Mb~64Mb)

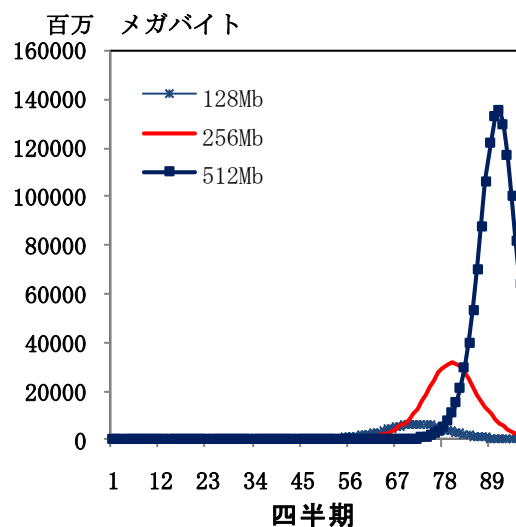


図 8b 推定された DRAM ビット需要の推移(128Mb~512Mb)



### 4. 2 単一世代の DRAM 市場のシミュレーション及び考察

前章で構築された SD モデルは、表 2 に示す遅延及び補正時間による遅れの効果や期待キャパシティの効果を含んでいる。ここでは、これらの効果がシミュレーション結果に及ぼす主な影響について考察する。本章では、第 3 章でモデル化した DRAM 市場の基本的挙動を考察するため、単一世代の DRAM に注目し、市場シミュレーションと実績データの比較による考察を行う。シミュレーション及び考察の対象としては、モデル期間における中間世代に対応している 64Mb DRAM を取り上げる。このとき、ケーススタディとして行ったシミュレーションにおける各パラメーターの条件を、表 3 として示す。表に示すように、Case1 及び 2 は生産セクターにおける遅延効果のシミュレーション、Case3 及び 4 はキャパシティセクターにおける遅延効果のシミュレーション、Case5 から 7 は期待キャパシティに関するシミュレーションの条件をそれぞれ示している。

表 2 モデルで考慮される遅延及び補正時間による遅れ

モデルセクター	遅延・補正時間	役割
生産セクター	受注遅延	需要が生じて受注するまでの時間
	生産遅延	生産過程に要する時間
	出荷遅延	生産終了から市場出荷までの時間
キャパシティ・セクター	キャパシティ増加遅延	増強決定から稼働までに要する時間
	キャパシティ補正時間	キャパシティ需要が生じて増強オーダーするまでの時間
	キャパシティ在庫補正時間	期待されるキャパシティ在庫(未稼働分) までに調整される時間
	Backlog 補正時間	期待される生産Backlog量にまで調整されるのに要する時間

表 3 シミュレーションにおけるパラメーターの条件

シミュレーションケース及び内容	リファレンス	生産セクターにおける遅延効果			キャパシティ・セクターにおける遅延・補正時間の効果		期待キャパシティの効果		
	Ref.	Case1	Case2	Case3	Case4	Case5	Case6	Case7	
受注遅延(四半期)	0.10	1.00	2.00	0.10	0.10	0.10	0.10	0.10	
生産遅延(四半期)	0.10	1.00	2.00	0.10	0.10	0.10	0.10	0.10	
出荷遅延(四半期)	0.10	1.00	2.00	0.10	0.10	0.10	0.10	0.10	
キャパシティ増加遅延(四半期)	0.10	0.10	0.10	4.71	1.47	3.30	1.76	1.76	
キャパシティ補正時間(四半期)	0.10	0.10	0.10	1.01	3.47	1.50	1.21	1.21	
キャパシティ在庫補正時間(四半期)	0.10	0.10	0.10	0.10	0.10	0.10	0.10	0.10	
Backlog 補正時間(四半期)	0.10	0.10	0.10	0.10	0.10	0.10	0.10	0.10	
RC係数 a	4.00	4.00	4.00	4.00	4.00	4.00	13.50	30.00	
RC係数 b	0.08	0.08	0.08	0.08	0.08	0.08	0.68	2.00	

#### 4. 2. 1 遅延及び補正時間の効果による影響

##### 4. 2. 1. 1 生産セクターにおける遅延効果

生産セクターモデルでは、受注、生産及び出荷に関して遅延効果を含んでいる。図 9 は、入力されたビット需要に対して、遅延効果を導入しないケースと導入したケースのビット出荷のシミュレーション結果を示している。遅延効果がほとんどないケース(Ref.)と比較して、遅延効果を導入したケース(Case1 及び 2)では、ビット需要に対して、プロファイルが時間軸に対してシフト(遅延シフト)を起こし、かつ需要に対しオーバーシュートが起こる。遅延の長さによりこれらの効果は促進されるが、遅延は 1~3 ヶ月である場合が多く、この遅延範囲においては、遅延シフトの効果が支配的となると考察される。また、リファレンス(Ref.)では、すべての遅延効果のパラメーターをゼロにきわめて近づけているため、計算の不安定性による揺らぎが観測されるが、これは、遅延パラメーターの増大とともに消失する。

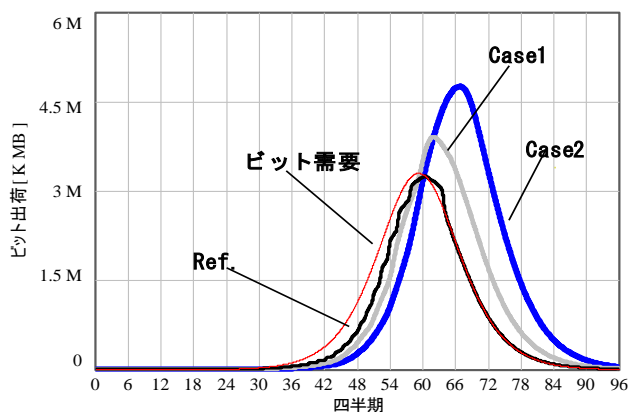


図 9 生産セクターにおける遅延効果

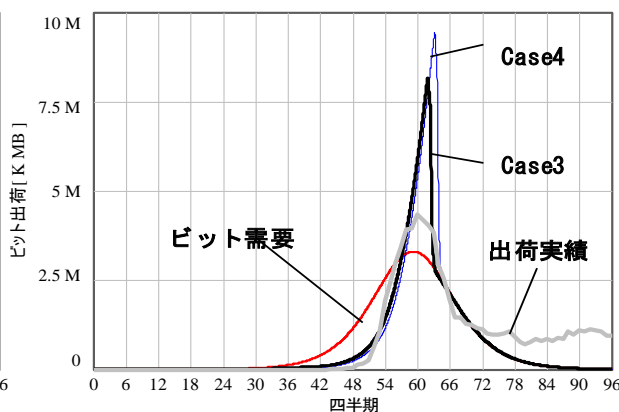


図 10 キャパシティセクターにおける遅延・補正時間の効果

#### 4. 2. 1. 2 キャパシティセクターにおける遅延・補正時間の効果

ビット出荷に大きな影響を与えるキャパシティセクターにおける遅延には、キャパシティ増加遅延及びキャパシティ補正時間がある。図 10 に、遅延及び補正時間の効果を導入したケース (Case3 及び 4) のビット出荷のシミュレーションを示す。遅延を導入した場合には、ビット需要に対して、オーバーシュートの効果が顕著となる。また、実際のビット出荷の実績データの推移も非対称で、かつシミュレーションと類似して急速な立ち上がりを示しており、オーバーシュートの効果がビット出荷に影響していることが推察される。

図 11 は、キャパシティ増加遅延を増加させた場合のビット需要に対する需給ギャップの挙動を示している。これより、遅延が長引くとオーバーシュートの効果により、需給ギャップが供給不足から供給過剰へ急転するのが分かる。

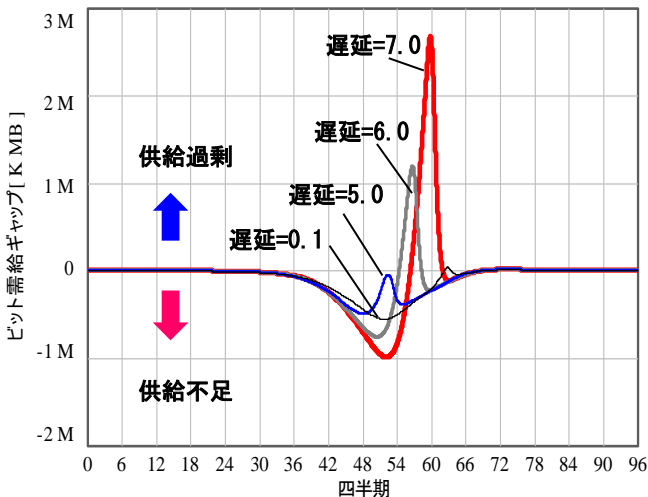


図 11 キャパシティ増加遅延によるビット需給ギャップの変化

さらに、キャパシティ増加遅延によるビット出荷のオーバーシュートの挙動はキャパシティ補正時間(キャパシティ需要が生じて増強オーダーを決定するまでの時間)に依存している。図 12 は、キャパシティ増加遅延とビット出荷のピーク値の推移を示している。キャパシティ増加遅延が長引くほど、ピーク値は増加し、オーバーシュート挙動は促進されるが、この挙動はキャパシティ補正時間(CP 補正時間)に依存していることがわかる。すなわち、キャパシティ補正時間(CP 補正時間)が長くなるに従い、短期間のキャパシティ増加の遅れで、オーバーシュートが大きくなっている。半導体生産設備におけるキャパシティ増加遅延は、一般に 1~1.5 年程度であり、この生産設備の建設の遅れがビット需給バランスの崩れに大きく影響

するとの見方が多いが、実際のバランスの崩れは増強オーダーを決定するまでの時間に大きく依存していることが分かる。シミュレーション結果では、補正時間が短いほど、キャパシティ増加遅延に対するオーバーシュート効果は抑制されている。このことから、経営的視点の考察として、キャパシティ需要の早期の感知とキャパシティ増加の決定の迅速性が、需給バランスの均衡の上では、重要であることが示唆される。

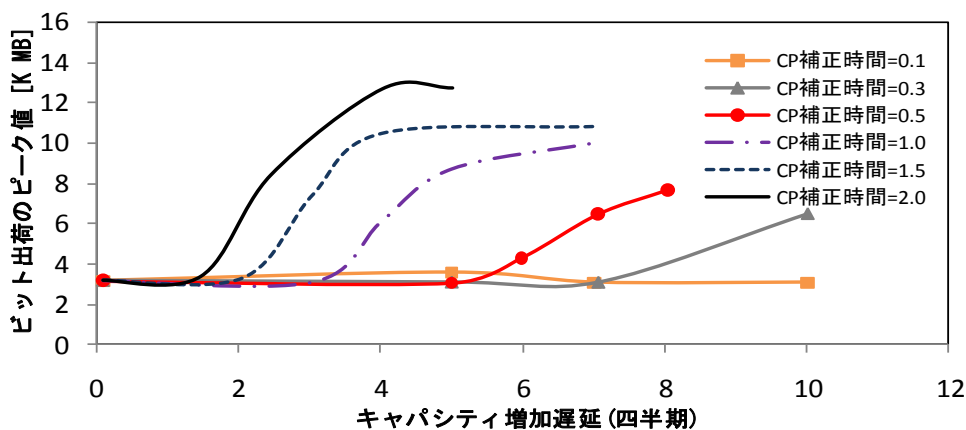


図 12 キャパシティ補正時間とキャパシティ増加遅延によるビット出荷のピーク値の変化

#### 4. 2. 2 期待キャパシティに対する考察

図 6 の因果ループに示したように、生産キャパシティは、期待キャパシティにより牽引される。期待キャパシティとは、必要キャパシティ及びリファレンスキャパシティ (RC) から演繹されるキャパシティターゲットであり、期待キャパシティは、リファレンスキャパシティ因子 (RC 因子) と 2 つのリファレンスキャパシティ係数 (RC 係数) a 及び b により決定される。このとき、モデル上での期待キャパシティに関連する各変数は表 4 のようにまとめることができる。

表4 期待キャパシティに関連する変数の概要

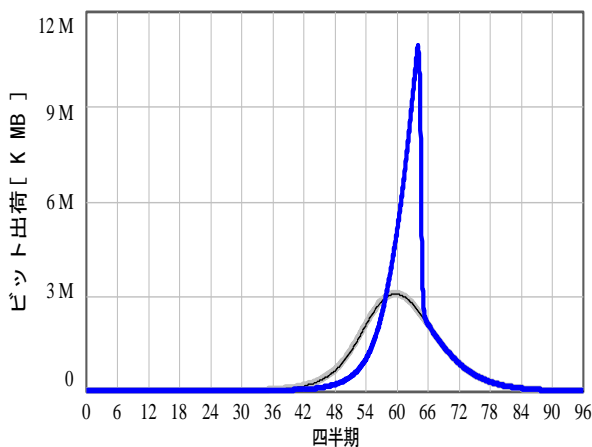
変数	変数の概要
必要キャパシティ	生産セクターにおける期待Backlog値へ補正するために必要なキャパシティ
リファレンスキャパシティ (RC)	過去のキャパシティ推移から導かれる一期先の外装値(予測値)
リファレンスキャパシティ因子 (RC因子)	キャパシティの増加に対する期待因子
リファレンスキャパシティ係数 (RC係数)	RC因子を決定する係数であり、a及びbの定数で表わされる

RC 因子は、キャパシティの増加に対する期待因子を表し、市場・産業への成長期待に関連する変数である。また、RC 係数は、具体的に RC 因子の動きを支配する係数で、成長期待への高揚を意味する変数である。モデルでは、期待キャパシティ、RC、RC 因子は、次式により、関係づけられている。

$$\text{期待キャパシティ} = \text{RC} \times \text{RC 因子}$$

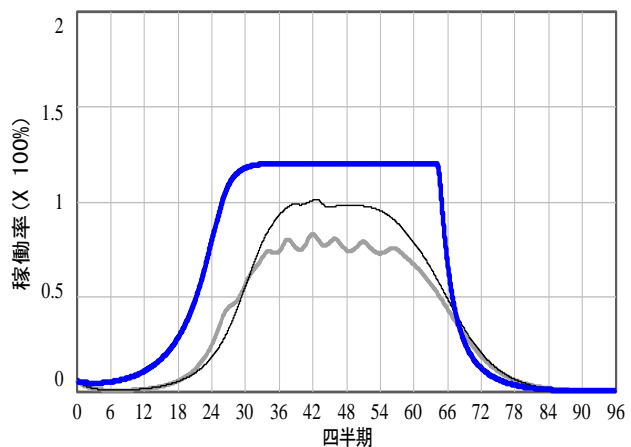
$$\text{RC 因子} = a \left[ 1 - \exp \left( -b \frac{\text{必要キャパシティ}}{\text{RC}} \right) \right]$$

RC 因子を変化させたケースのビット出荷のシミュレーションを図 13 に示す。(シミュレーション条件は表 3 を参照) Case5 から Case7 は、RC 係数 a 及び b を変化させたシミュレーション例である。Case5 では、前節で示した遅延・補正時間の効果により、需要に対してアンダーシュートからオーバーシュートが顕在化するが、Case6 及び Case7 では顕在化せず、プロファイルはほぼ一致して釣鐘形状を保っている。また、図 14 は、対応する各々のケースでのキャパシティの平均稼働率の推移を示している。Case5 では、需要推移に対してキャパシティ供給が不十分であるため、稼働率はモデルでの許容最大値(120%)へ急速に立ち上がり、需要ピーク後はキャパシティ過剰に陥るため、急速に稼働率を低下させている。Case6 は、需要ビット推移に対してほぼキャパシティ供給が適合した場合を表している。このとき平均稼働率は、ビット需要の隆起とともに、100%を維持したのち需要減少と同期して、減少する。一方、Case7 は、高い成長期待から、期待キャパシティが高揚し、需要推移を上回るキャパシティ増加が起こった場合を示している。稼働率は需要の隆起とともに上昇するが、キャパシティ供給過剰となるため、稼働率は80%レベルに留まっている。このとき、稼働率の推移に振動が見られるが、この挙動は RC 係数(a 及び b)に依存する。成長期待が高揚し、キャパシティ需要を大きく上回るキャパシティの供給を許容する条件では、キャパシティ需要の隆起に対して、キャパシティはオーバーシュート及びアンダーシュートを伴いながら増加するため、稼働率も揺らぎを示す。一方、キャパシティ需要に対して適切な期待キャパシティを仮定した場合には、Case6 のように揺らぎは見られない。こうした期待キャパシティの相違によるキャパシティ需給ギャップは、次節で述べるように、DRAM の価格推移に影響を及ぼす。



Case5 (a=4.0 b=0.08) —  
 Case6 (a=13.5 b=0.68) —  
 Case7 (a=30.0 b=2.0) —

図 13 RC 係数によるビット出荷の変化



Case5 (a=4.00 b=0.04) —  
 Case6 (a=13.5 b=0.68) —  
 Case7 (a=30.0 b=2.0) —

図 14 RC 係数による平均稼働率の変化

### 4.2.3 DRAM 価格推移のシミュレーション及び考察

DRAM 市場の特徴のひとつとして学習曲線に従う価格下落がある。DRAM 市場においては、テクノロジーの周期的なシフトに加え、各世代で生産技術の習熟に従う急速な価格減少が観測されており、学習曲線理論による生産コストの減少に関する研究が行われている。

Gruber [27] は回帰モデルにより、DRAM を含めた半導体メモリ価格の学習曲線の評価を行い、製品間の差異について比較検討を行っている。さらに、Irwin [28] らは、日本企業及び米国企業における DRAM 生産の学習曲線の評価から、国籍別企業の学習効果の比較を行い、半導体産業内の学習効果のシフトを検討している。

これらの先行研究を参照すれば、DRAM の市場価格が、学習曲線効果による生産コストの低下

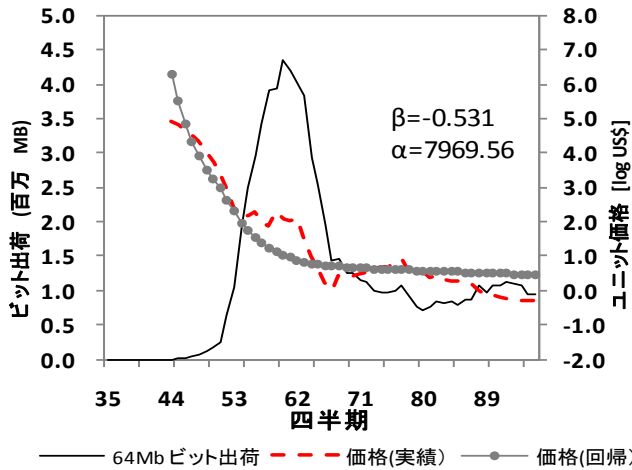


図15 64Mb DRAM のビット出荷とユニット価格の推移

に比例して低下するものと仮定すると、時間  $t$  におけるユニット価格  $P_t$  は、時間  $t$  までの累積生産量を  $Q_t$  とすれば、次式のように表わすことができる。

$$P_t = \alpha [Q_t]^\beta$$

ここで、 $\alpha$  及び  $\beta$  は定数である。図15は、64Mb DRAM のビット出荷及びユニット価格の実績データを示している。図中に示すように、回帰分析によって得られる学習曲線の価格推移は、価格実績データのトレンドを再現するが、実際の価格実績は、ビット出荷のピークを境界として、急下降→平衡→急下降と不連続な挙動が観察されており、この不連続な挙動には、前節で述べたキャパシティの需給バランスの効果が反映されているものと推察される。そこで、価格・出荷セクターモデルにおいては、上式の回帰式に、 $\gamma$  を変数としてモデルで算出されるキャパシティ需給ギャップ  $G$  及び新たにギャップ認知遅延  $d$  を導入し、以下の式により、DRAM 価格推移のシミュレーションを行った。

$$P_t = \alpha [Q_t]^\beta [G_{t-d}]^\gamma$$

図16及び17は、Case2におけるユニット価格及び金額出荷のシミュレーションと実績データを示している。

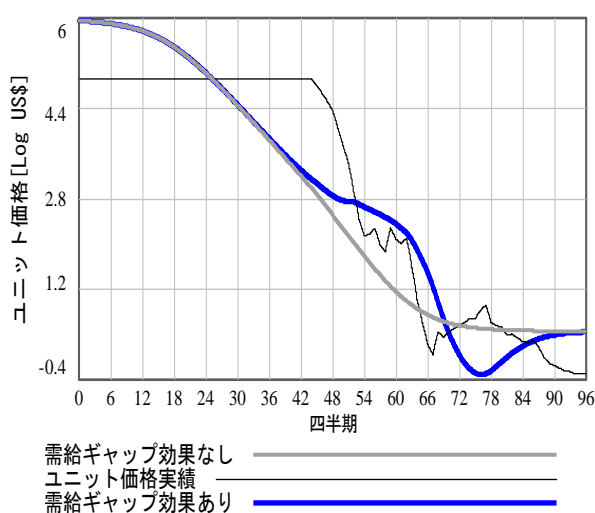


図16 ユニット価格のシミュレーション (Case2 の場合)

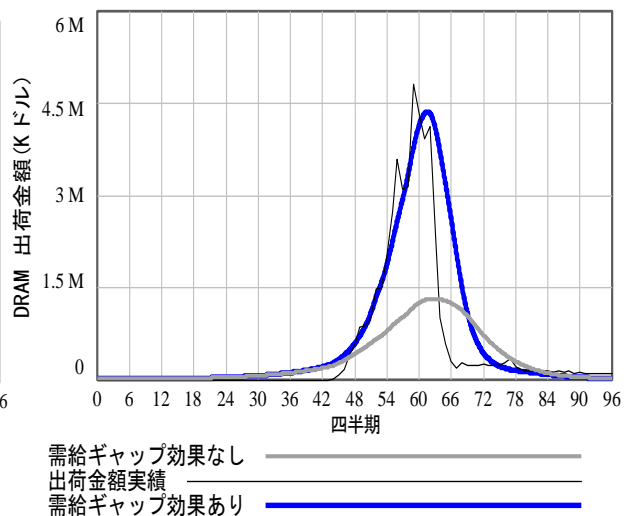


図17 出荷金額のシミュレーション (Case2 の場合)

図 16 は、SD モデルにおいて、価格の回帰式にキャパシティ需給ギャップ  $G$  の効果を導入しないケース ( $\gamma=0$ ) と導入したケース ( $\gamma=0.04$ ) のシミュレーション結果の比較を表している。モデルでは、市場データとの回帰分析によって得られた価格定数 ( $\alpha$  及び  $\beta$ ) を用いていること及び需要推移と出荷実績データの時間差  $t_f$  (図 4 の 2) 式) の最適化をここでは考慮していないため、実績データと価格推移に差が生じているが、シミュレーション結果では、キャパシティ需給ギャップの効果の導入により、ビット出荷のピーク近傍の不連続な挙動が再現されている。さらに、この需給ギャップの効果は、DRAM 市場の出荷金額の挙動にも大きく影響を与える。図 17 は、同じく Case2 のおける DRAM 出荷金額のシミュレーションと実績データの比較を示しているが、需給ギャップ効果の導入により、実績データの挙動に近い、市場ピークの動きが再現される。

#### 4. 2. 4 最適化手法によるモデルパラメーターの決定

以上のように、SD による単世代の DRAM 市場のシミュレーション及び実績データとの比較から、生産セクター及びキャパシティセクターにおける遅延及び補正時間がビット出荷の挙動に大きな影響を与えることが確認された。また、累積生産による学習効果曲線にキャパシティ需給ギャップの効果を加えることで、ユニット価格下落の挙動を説明でき、ビット出荷の挙動と合わせて、単世代の DRAM の金額出荷が再現された。

ここでは、SD ツール (Vensim を使用) の最適化の機能 (Optimization 機能) [29] を用いて、実績データ (出荷実績、価格実績、出荷金額) と各シミュレーションの適合の最適化により、表 3 で示した遅延及び補正時間のパラメーター及び RC 因子係数の決定を行った。モデル自体の適合限界による差異はあるが、各パラメーターに実現可能な範囲を設定することで、実績データとの適合の最適化が可能で、実現的なパラメーターを得ることができる。

図 18 から図 20 は、最適化されたビット出荷、ユニット価格及び金額出荷のシミュレーションを示しており、このときの各パラメーターは表 5 のように決定される。ロジスティック成長モデルでは、ビット需要の分布を釣鐘形状と仮定しているため、図 18 の 72 四半期以降には実績データとの差が生じている。また、図 19 における 54 四半期までの実績価格データとシミュレーションとの差は、図 16 において説明した理由によるものである。

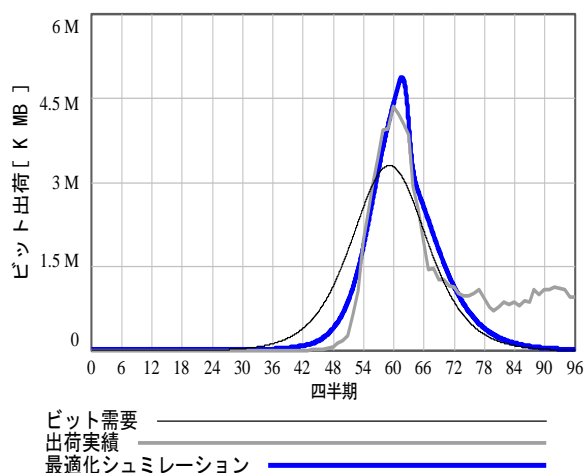


図 18 ビット出荷の最適化シミュレーション

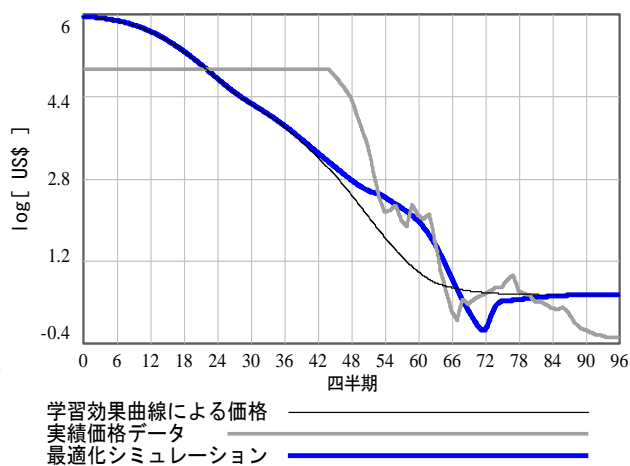


図 19 ユニット価格推移の最適化シミュレーション

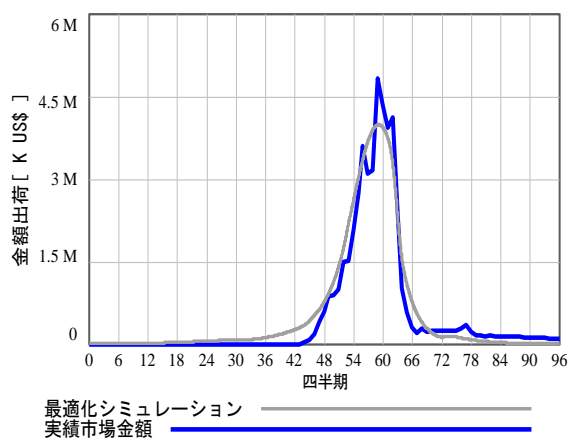


図 20 市場金額出荷の最適化シミュレーション

表 5 最適化されたモデルパラメーター

遅延・補正時間	最適化
受注遅延(四半期)	0.044
生産遅延(四半期)	0.530
出荷遅延(四半期)	0.530
キャパシティ増加遅延(四半期)	2.371
キャパシティ補正時間(四半期)	5.974
キャパシティ在庫補正時間(四半期)	2.000
Backlog 補正時間(四半期)	2.000
RC係数 a	7.764
RC係数 b	0.080
需給バランス係数	0.041

### 4. 3 多世代市場モデルによる DRAM 市場における周期的挙動のシミュレーション

これまでのSDモデルによるDRAM市場の挙動の考察に照らし合わせれば、過去に観測されている周期的挙動は、単一世代モデルで示唆された遅延効果によるビット出荷の遅延及びオーバーシュートに加え、需給ギャップ効果を伴った価格下落が、周期的なテクノロジーシフトに伴い各世代で誘発され、金額出荷に周期的変動を引き起こしているものと推察される。

そこで、もっとも単純な仮定として、3. 2で解説したロジスティック成長モデルに従い、DRAM 需要の世代推移(1Mb から 512Mb)が生じ、各世代の需要に応じてキャパシティ増加が行われた場合のDRAM 金額市場の周期的挙動のシミュレーションを試みた。このとき、各世代のロジスティック成長モデルのパラメーターは表1に示したものを扱い、その需要推移は図8a及び8bのように示される。単一世代のDRAM 市場モデルにおけるシミュレーション結果及び考察をベースに、多世代 DRAM 市場モデルによる金額出荷のシミュレーションを行った結果を図21に示す。

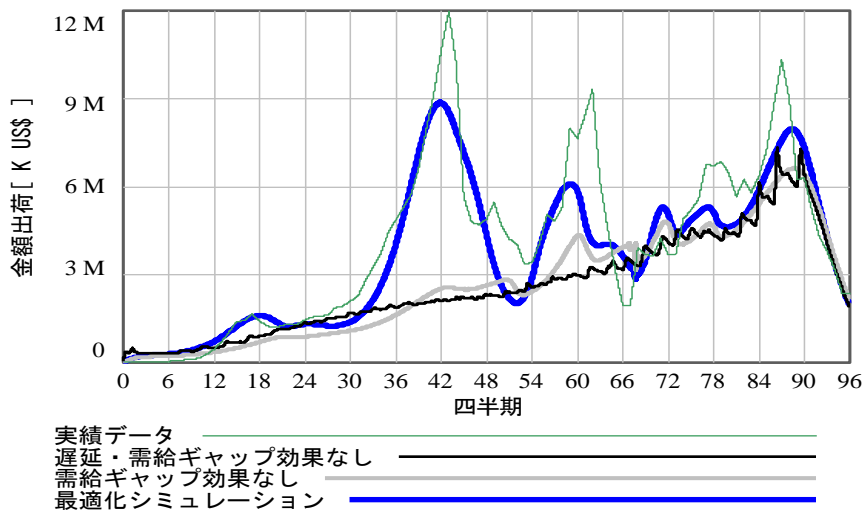


図21 DRAM 市場における周期的挙動のシミュレーション

表6 多世代モデルにおける最適化されたパラメーター

	1Mb	4Mb	16Mb	64Mb	128Mb	256Mb	512Mb
タイムシフト $t_f$ (四半期)	-5.17	-5.06	-4.25	-2.17	-2.07	-2.00	-1.21
受注遅延(四半期)	0.04	2.07	1.00	0.03	0.04	0.03	0.43
生産遅延(四半期)	0.03	3.16	0.79	1.47	0.04	0.62	0.03
出荷遅延(四半期)	2.22	0.02	0.02	0.03	0.03	0.57	0.19
キャパシティ増加遅延(四半期)	3.14	2.76	5.00	3.49	4.00	4.07	1.00
キャパシティ補正時間(四半期)	3.06	2.66	7.00	5.12	3.97	1.01	0.97
キャパシティ在庫補正時間(四半期)	3.49	2.62	4.00	4.00	4.00	1.07	0.97
Backlog補正時間(四半期)	2.69	2.11	3.00	3.00	3.00	1.00	2.97
RC係数 a	7.82	3.74	4.81	4.99	9.94	6.74	4.85
RC係数 b	0.08	0.08	0.56	0.29	0.13	0.08	0.23
需給バランス係数	0.16	0.05	0.11	0.03	0.05	0.01	0.00
キャパシティギャップ認知遅延(四半期)	0.22	5.08	1.31	2.00	1.00	0.00	0.00

これよりわかるように、遅延効果及び需給ギャップの価格変動の効果を考慮しない場合には、実際に観測されているような周期的変動はまったく示さず、遅延なくビット出荷が可能となるため、ビット需要の増加に伴い、市場は単調増加を示している。(90 四半期以降、金額出荷が下降を示しているのは、512Mb 以降のビット需要をモデルでは考慮していないためである)。さらに、本論で考察した遅延及び補正時間による効果を考慮したシミュレーションでは、ビット需要に対して、オーバーシュートが顕在化する。このため、金額出荷においても揺らぎが誘発される。しかしながら、学習曲線効果に従う価格降下の仮定のみでは、観測されるような顕著な周期的挙動は起こらない。一方、同時に価格下降曲線にキャパシティ需給ギャップの効果を考慮した場合には、周期的変動を引き起こす。図中に示すように、世代ごとに諸効果のパラメーターの最適化を行ったシミュレーションでは、過去 23 年間に観測された実績データに近い周期的挙動が再現されている。また、このとき、最適化されたパラメ

ーターを表6に示す。

実際の DRAM 需要の世代シフトに対する供給サイドのダイナミクスは複雑であり、今回得られた単世代モデルからの知見の各世代への適応のみでは不十分と考えられ、別途、世代シフトに対する供給サイドの市場ダイナミクスの考慮が必要とされる。しかしながら、本シミュレーション例は、SD による多世代市場モデルに、さらにこれらの詳細な市場ダイナミクスを織り込むことにより、周期的変動のメカニズム及び挙動の理解にアプローチできる可能性を示している。

## 5. まとめ及び課題

本研究では、古くから産業課題として認知されていながら、未だ知見が十分でない DRAM 市場の周期的挙動の基本メカニズムを考察することを目的として、はじめて SD による市場モデルの構築を行った。モデル構築における新たな試みとして、周期的なテクノロジーシフトを伴う需要推移に対して、ロジスティック成長モデルを導入し、ビット出荷のシミュレーションを行うことで、さまざまな遅延効果及び期待キャパシティのビット出荷に対する影響を考察した。また、DRAM 産業の特徴の一つとされる、生産習熟によるコスト下落に伴う価格下降を、累積生産に対する学習効果曲線をモデルに導入することで再現し、キャパシティ需給ギャップの価格推移への影響を検討した結果、実績データに近い金額出荷のシミュレーションを得た。さらに、これらの考察結果をベースに、多世代 DRAM 市場の SD モデルにより、DRAM 市場における周期的挙動を近似的に再現した。構築された DRAM 市場モデルによるシミュレーション結果と過去 23 年間に観測された実績データとの比較及び検討から、以下の DRAM 市場の挙動に関する知見が得られた。

1. 生産セクターにおける遅延効果は、遅延期間の増加に伴い、需要に対して、オーバーシュート及び遅延シフトの影響を与えるが、実際に想定される遅延期間では、遅延シフトの効果が支配的である。
2. 一方、キャパシティセクターにおける遅延効果（キャパシティ増加時間及びキャパシティ補正時間）では、遅延期間の増加に伴い、需要に対して、オーバーシュートが大きく顕在化し、需給ギャップを生じさせる。
3. キャパシティ増加遅延によるビット出荷のオーバーシュートの挙動はキャパシティ補正時間に依存している。シミュレーション結果では、補正時間が短いほど、キャパシティ増加遅延に対するオーバーシュート効果は抑制されており、キャパシティ需要の早期の感知とキャパシティ増加の決定の迅速性が、需給バランスの均衡では、重要であることが示唆される。
4. 生じる需給ギャップは、市場・産業への期待の高揚に支持される期待キャパシティにも依存する。このことは、需要推移に対する供給側の期待が、需給ギャップ変動に影響することを示している。
5. 累積生産量に対する学習曲線効果は、DRAM 価格下降のトレンドを説明する一方、金額出荷のピーク挙動には価格下降におけるキャパシティ需給ギャップの効果が大きく影響する。
6. 単一世代モデルで示唆された遅延効果によるビット出荷の遅延及びオーバーシュート、さらに需給ギャップ効果を伴った価格下落が、周期的なテクノロジーシフトに伴い各世代で誘発され、金額出荷に周期的変動を引き起こすものと考えられる。

また、SD は、DRAM 市場の周期的挙動の理解に対して有効な手法と考えられる。多世代市場モデルに世代シフトに対する供給サイドの市場ダイナミクスをさら織り込むことにより、周期的変動のメカニズム及び挙動の理解にアプローチできる可能性が示唆される。今後は、多世代モデルの改良及びシミュレーションで得られた各モデルパラメータの推移を検討し、周期的挙動の特徴及び今後の挙動に関しての考察を行う。

さらに、本研究で構築されたモデルの実用レベルでの検討に対してはさまざまな課題を残している。本研究で構築した SD モデルは、過去の DRAM 市場の定性的な挙動を説明するが、定量的な評価を目的とする場合には、さらに詳細なモデルの検討が必要となる。特に、遅延効果に対する数値計算の感度及びシステムの安定性の検討から、遅延パラメータの適用可能な範囲を考察する必要がある。また、本モデルは、その目的から周期的挙動に直接関連すると考えられる要素のみを取り上げている。このため、現実レベルのモデルとしては、先行研究[3]で取り上げているように、さらに経営意思決定や財務プロセスにも踏み込んだ大規模なモデルの適用が必要となる。一方、市場価格の影響因子としては、累積在庫や仮需要の効果などを取り込む必要がある。今後は、本研究をベースとして、これらの課題にも取り組む予定である。

## 参考文献

- [1] 渡辺久恒：半導体産業の進化、応用物理、第77巻、第8号、pp.961-968、2008
- [2] 社団法人 電子情報技術産業協会：ICガイドブック、日経BP企画、p.272、2006
- [3] Meadows D.L.：Dynamics of Commodity Production Cycles, Pegasus Communications, pp.1-104, 1970
- [4] Sterman J.D.：BUSINESS DYNAMICS: Systems Thinking and Modeling for a Complex World, Irwin McGraw-Hill, p.798, 2000
- [5] Ibid., p.792.
- [6] Slade M.E.：Cycles in natural-resource commodity prices: An analysis of the frequency domain, Journal of Environmental Economics and Management, Vol.2, No.9, pp.138-148, 1982
- [7] Breimyer H.F.：Emerging Phenomenon: A Cycles in Hogs, Journal of Farm Economics, Vol.41, pp.760-768, 1959
- [8] Maki W. R.：Decomposition of the Beef and Pork Cycle, Journal of Farm Economics, Vol.44, pp.731-743, 1962
- [9] Meadows D.L.：Dynamics of Commodity Production Cycles, Pegasus Communications, p.62, 1970
- [10] Hartman D. G.：The egg cycle and the ability of recursive models to explain it, American Journal of Agricultural Economics, Vol.56, No.2, pp.254-262, 1974
- [11] French B.C., Bressler R.G.：The lemon Cycle, Journal of Farm Economic, vol.44, no. 4, pp.1021-1036, 1962
- [12] Ezekiel M.：The Cobweb Theorem, Quarterly Journal of Economics, Vol.52, pp.255-280, 1938
- [13] Risch J.D., Luis TB. and Sterman J.D.：Designing corporate strategy with system dynamics: A case study in the pulp and paper industry, System Dynamics Review, Vol.4, No.11, pp.249-274, 1995
- [14] Homer J.B.：Why we iterate: Scientific modeling in theory and practice, System Dynamics Review, Vol.12, No.1, pp.1-19, 1999
- [15] Henry B.W., Stoughon M.D.：Commoditization of Technology-Based Product and Services: The Base Case Scenarios for Three Industries, Working Paper, MIT International Center for Research on the Management of Technology, Vol. Sloan WP#4013, 1998
- [16] Lee T.S.：The Dynamics of the Oil Tanker Industry, MS thesis Massachusetts Institute of Technology, Sloan School of Management, 2004 (<http://dspace.mit.edu/handle/1721.1/17807>)
- [17] Martin L., Andreas G., Martin K. and Peter M.M.：ARTICLES - Cycles in the sky: Understanding and managing business cycles in the airline market, System Dynamics Review, Vol.17, No.4, pp.311-332, 2001
- [18] Shapira G.：System Dynamics Simulation of the Telecom Industry, MS thesis Massachusetts Institute of Technology, Sloan School of Management, 2004 (<http://dspace.mit.edu/handle/1721.1/17901>)
- [19] Peter J.G.：Understanding Boston Real Estate Market: A System Dynamics Approach, MS thesis Massachusetts Institute of Technology, Sloan School of Management, 1989 (<http://dspace.mit.edu/handle/1721.1/14312>)
- [20] Henry B.W.：Commoditization of Technology-Based Products and Services: A Generic Model of Market Dynamics, Working Paper, MIT International Center for Research on the Management of Technology, MIT Sloan School of Management, WP#144-96, 1996
- [21] 長島俊一：半導体産業とシリコンサイクル、郵政研究所調査月報、第4巻、第3号、pp.4-33、1991
- [22] 岡田徹太郎：半導体産業の発展と性質—高集積化・歩留まり上昇による半導体の波、経営史学、第32巻、第3号、1997 (<http://www.ecopo.ec.kagawa-u.ac.jp/tetsuta/jbussi-j.html>)
- [23] VanBree K.A.：Silicon Cycles: An Analysis of the patterns of the growth in the semiconductor industry using system dynamics methods, MS thesis Massachusetts Institute of Technology, Sloan School of Management, 1995 (<http://dspace.mit.edu/handle/1721.1/11545>)
- [24] Mahajan V., Muller E. and Bass F. M.：Diffusion of New Products: Empirical Generalizations and Managerial Uses, Marketing Science, Vol.14, No.3, Part2 of 2, pp.679-688, 1995
- [25] Victor N.M., Ausubel J.H.：DRAMs as model organisms for study of technological evolution, Technological Forecasting & Social Change, Vol.69, pp.243-262, 2002
- [26] Meyer P.S., Yung J.W. and Ausubel J.H.：A Primer on Logistic Growth and Substitution: The Mathematics of the Loglet Lab Software, Technological Forecasting and Social Change, No.61, pp.243-271, 1999
- [27] Gruber H.：The learning Curve in the Production of Semiconductor Memory Chips, Applied Economics, pp.885-894, Vol.24, 1992
- [28] Irwin D.A., Klenow P.J.：Learning-by-Doing Spillovers in the Semiconductor Industry, The journal of political economy, pp.1201-1227, Vol.102, No.6, 1994
- [29] VENTANA systems, inc.：Vensim User's Guide, Ver.5.0, Rev.2.0, VENTANA systems, inc., p.257, 2009